

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-310793

(43)Date of publication of application : 07.11.2000

(51)Int.Cl.

G02F 1/136
G02F 1/1343

(21)Application number : 11-121182

(71)Applicant : CANON INC

(22)Date of filing : 28.04.1999

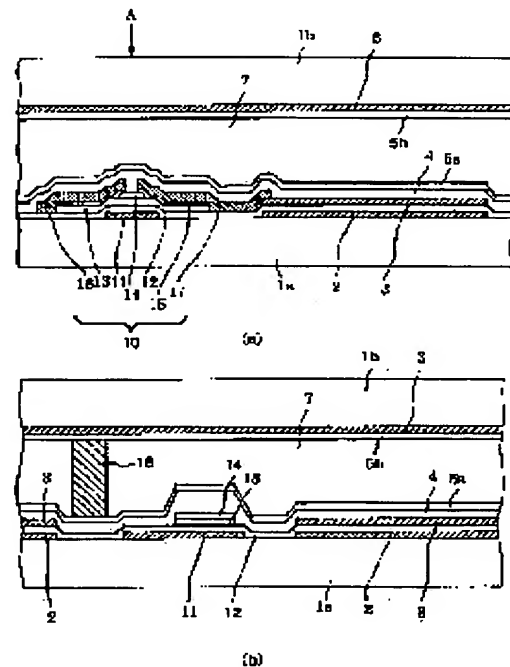
(72)Inventor : KOMIYAMA KATSUMI
ENOMOTO TAKASHI

(54) LIQUID CRYSTAL ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the short circuit between upper and lower substrates, to obtain high reliability and to improve shock resistance by forming an auxiliary capacitance electrode which has an almost the same area as that of a pixel electrode and which overlaps on the pixel electrode on the substrate side of the pixel electrode through an insulating layer or each pixel so as to form an auxiliary capacitance under the pixel electrode.

SOLUTION: An auxiliary capacitance electrode 2 having an almost same area as a pixel electrode 3 and overlapped with the pixel electrode 3 is formed in the substrate side of the pixel electrode 3 through an insulating layer for each pixel to form an auxiliary capacitance under the pixel electrode 3. By forming the auxiliary capacitance electrode 2 having the almost same area as the pixel electrode 3, no difference in the surface level is formed in the pixel electrode 3 and the aligning property can be improved. By forming a partition wall 18 between adjacent pixel electrodes without using a spacer, damages of the pixel electrode 3 by a spacer, the short circuit with the auxiliary capacitance electrode 2, or the short circuit between upper and lower electrodes can be prevented. Moreover, the partition wall 18 itself does not collapse by the pressure of the upper and lower substrates so that the shock resistance of the device can be improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

特開2000-310793
(P2000-310793A)

(51)InCl ⁺	識別記号	P I	7-7-1 (参考)
G 02 F	5 0 0	G 02 F	5 0 0
	1/136	1/136	2 H 0 9 2
	1/1343	1/1343	

審査請求 未請求 請求項の数 7 OL (全 11 頁)

(21) 出願番号	特願平11-121182	(71) 出願人	000001007 キヤノン株式会社
(22) 出願日	平成11年4月28日(1999.4.28)		東京都大田区下丸子3丁目30番2号
		(72) 発明者	小宮山 克美 東京都大田区下丸子3丁目30番2号 キヤ ノン株式会社内
		(72) 発明者	阪本 隆 東京都大田区下丸子3丁目30番2号 キヤ ノン株式会社内
		(74) 代理人	100093828

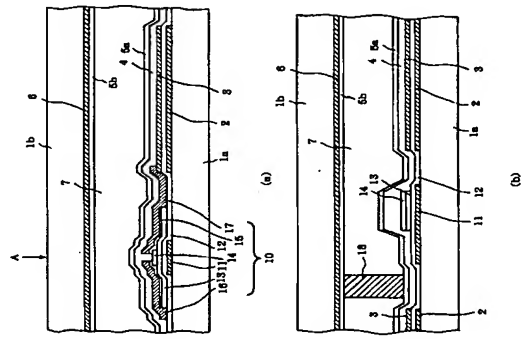
最終頁に絞く

(54)【發明の名称】 液晶素子

[57] 【要約】

【課題】 自発分極を有する液晶をアクティブマトリクス方式により駆動する液晶素子において、上下基板でのイオンや配向性の劣化を生じない大きな電圧値の補助電圧を設ける。

【解決手段】 西素電極3と面積がほぼ等しい補助容量電極2を、西素電極3下に形成することにより、西素電極室内に段差が発生するのを防止し、さらに、セルギャップの制御を、西素間に設けた隔壁18によって行なう。



【特許請求の範囲】

[illegible]

【請求項2】 上記調製電極下にスイッチング素子を含めて基板全体を覆う平坦化膜を有する請求項1記載の液
晶素子。

【請求項 3】 上記平坦化膜が、有機膜と無機膜との積層構造である請求項 2 記載の液晶素子。

【請求項4】 上記スイッチング素子が薄膜トランジスタである請求項1記載の液晶素子。

【請求項5】 上記補助容量が、上記スイッチング素子に接続した第2の補助容量電極と、該第2の補助容量電極とは絶縁層を介して対向する第1の補助容量電極とで形成されている請求項1記載の液晶素子。

【請求項6】 上記一対の基板が、両基板に接着された両基板間によって所定の距離を保持する請求項1記載の液晶素子。

【請求項 7】 上記液晶が強誘電性液晶または反強誘電性液晶である請求項 1 記載の液晶素子。

【発明の詳細な説明】

[0001]

【発明の属する技術分野】本発明は、パーソナルコンピュータのディスプレイ等に用いられる液晶素子に関し、特に、スイッチング素子を用いたアクティブマトリクス方式の液晶素子に関する。

[0002]

【従来の技術】液晶表示装置に用いられる液晶として、は、ネマチック液晶、スメクチック液晶、高分子分散型液晶等、様々な液晶材料が用いられているが、アクティブマトリクス方式の液晶素子で実用化されているものほとんどは、ネマチック液晶を用いたTN（ツイステッドネマチック）モードを用いている。

[0003] 図8は従来のアクティブマトリクス方式のTFT型液晶素子の画素の構成を模式的に示す断面図である。図中、1a及び1bは基板、2は補助容量電極層、3aは画素電極、4はパッシブエレクトロド及び5a及び5bは配線層向膜、6は対向電極、10は導膜(ランゲジュー(Ti-Ti)、101はN層液晶、102はペーサ)である。なお、F10は、ゲート電極11と、ゲート絶縁膜12と、半導体層13と、プロセッシング層14と、オーミックコンタクト層15と、ソース電極16と、ドレイン電極17とから構成されている。

【0004】基板1a側はアクティブマトリクス基板であり、二次元状にマトリクス配置した画素毎に、画素電

極3とT₁D₁T₁Oとが形成されている。また、酸素電極3に部分的に対向して補助容量電極2がゲート絶縁層12を介して形成され、T₁N液晶101と並列に補助容量が接続されている。

【0005】また、基板1b側は対向基板で、全面素子共通或いは走査ライン毎に共通の対向電極6が形成されている。

【0006】上記アクティブマトリクス基板と対向基板とはそれぞれ対向面にラビング等の配向処理が施された配向膜5a、5bが形成され、スペーサ102を介して対向配置してTN構成102を構成し、周縁を不図示のシール材で封止して液晶セル102を構成される。また、当該液晶素子の外側にはそれぞれ偏光板を配置して用いる。

【0007】TNモードは、その応答速度が低いことと、視野角特性が低いために、画質上の問題があった。そこで、増速電性成いは反強誘電性液晶などのススメクチック液晶の高速で且つ広い視野角特性を生かして、アクティブマトリクスで駆動する液晶素子の研究がなされてきた。

[000]

【発明が解決しようとする課題】図8に示した従来のアクティブマトリクス方式のTFT型液晶素子においては、補助電圧を形成する補助電圧電極2は、TFT10のゲート電極11のオン・オフ時に客層結合により生じるレポート電圧11のオン・オフ時に客層結合により生じるレポート電圧を画像に反映し問題のない領域に抑え、液晶基板に上る電圧の低域を確保し問題のないレベルに低減させるために形成される。よって、通常、補助電圧は液晶素子の4割程度であり、画素面積Sの1/20程度の面積の補助電圧電極で形成することができると、画素電圧3の一部か或いは該電極には重ならない領域に形成されていた。

【0009】しかしながら、自発分極を有する強誘電性液体や反強誘電性液体の場合、当該自発分極値に応じた補助電圧が必要となる。自発分極を有する液晶の場合、液晶のスイッチングに伴って自発分極の反転による反転電流が発生し、該電流によって液晶容量に供給された電荷が消費される。

【0010】例えば強誘電性液晶のスイッチングに必要
な電荷量 Q を、液晶に印加される電圧を V 、画素電極面
積を S 、液晶の自発分極を P_s とすると、

$$Q = V \cdot C_{1c} + 2 P_s \cdot S$$

である。一方、T/N液晶の場合は $Q = V \cdot C_1$ であるので、知覚電圧液晶の場合には自己分極に依じた電圧が余分に必要となる。アクティブマトリクス方式で駆動される場合には、T/Fのオン期間に必要な電圧が供給されなければならない場合には、所望の表示ができなくなる。従って強い知覚電圧液晶をアクティブマトリクス方式で駆動する場合には、短時間で大きな電圧を蓄積するために、大きな充電能力を持った大容量のT/Fが必要となる。

【0011】TN液晶と強誘電性液晶で必要な補助容器

3

電極の面積を表1に示す。表1においては、TN液晶も

強誘電性液晶1〜4も比誘電率 ϵ_r を5、液晶に印加され

る最大駆動電圧を5V、画素電極面積 $S=100\mu\text{m}^2$

300 μm とし、容量の異なる補助容量に対して、画素*

	TN液晶 ($\epsilon_r=0$)	強誘電性液晶			
		(1) $P_0=20\text{nC}/\text{cm}^2$	(2) $P_0=10\text{nC}/\text{cm}^2$	(3) $P_0=5\text{nC}/\text{cm}^2$	(4) $P_0=10\text{nC}/\text{cm}^2$
C	0.25pF	1.05pF	1.05pF	1.05pF	1.05pF
V・C	1.25pC	5.1pC	5.1pC	5.1pC	5.1pC
2V・S	0	120pC	60pC	30pC	6pC
(1) $r=5$ $P_0=300\text{A}$ 駆動電圧 2.5V	$S \times 1/20$ (1pF分)	$S \times 5.4$	$S \times 2.7$	$S \times 1.4$	$S \times 0.27$
(2) $r=10$ $P_0=300\text{A}$ 駆動電圧 4.0V	-	$S \times 2.7$	$S \times 1.4$	$S \times 0.68$	$S \times 0.14$
(3) $r=20$ $P_0=300\text{A}$ 駆動電圧 8.0V	-	$S \times 1.4$	$S \times 0.68$	$S \times 0.34$	$S \times 0.07$
(4) $r=20$ $P_0=300\text{A}$ 駆動電圧 16.0V	-	$S \times 0.68$	$S \times 0.34$	$S \times 0.17$	$S \times 0.03$

【0013】強誘電性液晶においては、自発分極の反転

によって発生する反転電流で消費される電荷 $=2Ps$ ・

Sを合せて補助容量に誘起することになる。従って、

自発分極の大きな液晶で、5〜20程度の絶縁膜を用

いた場合には、表1に示すように、画素電極面積に近い

面積の補助容量電極を形成し、画素電極内に補助容量を

形成する必要がある。しかしながら、画素電極内に大き

な補助容量を形成した場合には、次のような問題があ

った。

【0014】(1)画素電極下に補助容量電極を形成す

るために、その上層に形成された画素電極の平面平行性

が低下し、液晶配向性が劣る。具体的には、画素電極の

一部に補助容量による段差が生じると、容量の作り込み

方法によるが、ITO層一層で1000〜2000

A、二層では4000Aに近い段差が生じてしまい、配

向れを生じてしまう。

【0015】(2)大きな容量を作るために、薄い絶縁

膜を大面積で用いるため、上下シヨートを起こし易い。

【0016】(3)スメタチック液晶の最薄ギャップ

は、TN液晶の約6 μm 程度に比べ、1〜2 μm と狭い

ため、ギャップが出しにくく、ギャップ材を分散してセ

ル組立を行なうとギャップ材のダメージによって、補助

容量にシヨートやリークが発生する場合があった。

【0017】(4)図8の構成の液晶素子のTN液晶1

50

5

上下シヨートを防止した信頼性の高い素子を提供するこ

とにある。

【0020】

【課題を解決するための手段】本発明は、一対の基板間

に自発分極を有する液晶を挟持してなり、二次元状に配

置いた画素毎にスイッチング素子と画素電極を配し、該

スイッチング素子により各画素電極への信号印加を制御

するアクティブマトリクス方式の液晶素子であって、上

記画素毎に、画素電極と面積が略等しく且つ該画素電極

に重なる補助容量電極を絶縁層を介して該画素電極の基

板側に形成し、該画素電極下に補助容量を形成したこと

を特徴とする液晶素子である。

【0021】

【発明の実施の形態】本発明においては、補助容量電極

を画素電極と略同じにするこで、画素電極内における

段差をなくし、配向性を低下させることなく大きな容量

の補助容量を形成することができ、また、本発明にお

いては、画素電極下に平面化膜を形成することにより、

大面積の補助容量に対して外力に対するバリアーとする

ことができ、上下シヨートを低減することができ

る。同時に、該平面化膜によって平滑化した上に画素電

極を形成することにより、配向性を向上させることがで

きる。

【0022】さらに本発明においては、隔壁によってセ

ルギャップを形成することにより、大きな補助容量を形

成したることによる上下シヨートや画素電極のダメージを

防止することができると同時に、上下基板の固定を強固

にすることができ、耐衝撃性に劣るスメタチック液晶に

おいても耐衝撃性を改善することができ、

【0023】以下に具体的な実施形態を示し、本発明を

詳細に説明する。

【0024】【実施形態1】図1に本発明の液晶素子の

一実施形態の構成を模式的に示す断面図を示す。図1の

(a)は1画部分の断面図であり、(b)は(a)の矢

印A点の紙面に垂直な方向の断面図である。図1中、先

に説明した図8と同じ部材には同じ符号を付す。図1に

おいて、7は自発分極を有する液晶、18は隔壁であ

る。

【0025】また、図2には当該実施形態の電気的な等

価回路を示す図中、便宜上4×4画素について記載

している。図2中、21は補助容量、22は液晶容量、

23は走査信号線、24は情報信号線、25は補助容量

を形成する補助容量電極を接地するための引き出し線で

ある。

【0026】本発明の液晶素子は、アクティブマトリク

ス方式で駆動するもので、図1に示すように、平行に配

置された一対の基板1a、1bとの間に液晶7を挟持し

てなり、通常、不図示の偏光板をそれぞれの基板1a、

1bの外側に設置して用いる。

【0027】基板1a、1bは絶縁性基板で、通常、ガ

ラス板が用いられるが、必要な透明性と強度が得られ

ば、プラスチック基板も用いることができる。基板1a

(アクティブマトリクス基板)には、複数の画素が二次

元状にマトリクス配置し、各画素毎にITO等の透明導

電材料からなる画素電極3と、該画素電極3にドレイ

ン電極17を接続されたTFT10のゲート電極11は走査信

号線23に、ソース電極16は情報信号線24にそれぞれ

接続され、外部よりコントロールされる。

【0028】図1に示すように、TFT10及び画素電

極3上には、パッシベーション膜4が形成されている

が、この膜は、本実施形態では絶縁層と兼用の平面化膜として

形成される。

【0029】本発明においては、各画素毎に、画素電極

3と面積が略等しい補助容量電極2が形成され、補助容

量2を形成している。補助容量2は、液晶容量3と並列

に接続されることになる。これらの上にパッシベージョ

ン膜17として、SiN、SiO₂などによる層が全面

に形成され、さらにその上に、ポリイミドなどからなる

表面にラビング処理などの配向処理が施された配向膜5

aが形成されている。

【0030】一方、基板1b(対向基板)には、画素電

極3に対して一定の基調電圧が印加される透明な対向電

極6が形成され、その上には表面に配向処理が施された

配向膜5bが形成されている。

【0031】上記アクティブマトリクス基板と対向基板

は、外周部において枠状のシール材(不図示)を介して

接合され、画素板とシール材に囲まれた領域に液晶7が

封入される。液晶7としては、強誘電性や反強誘電性を用

いられる。これらの液晶を、その隔壁ピッチよりも小

さいセルギャップで封入することにより、液晶によって、

単安定や2安定、3安定、或いはヒステリシス特性のな

い、いわゆる無しきい値の電気光学特性を持たせること

ができる。セルギャップは、隔壁18によって一定に保

たれる。隔壁18は、例えば図1(b)に示されるよう

に、画素電極間を走査信号線に沿ってストライプ状に形

成される。

【0032】図1に示されるように、本実施形態では補

助容量電極2を画素電極3と同じ面積で形成したため、

画素電極3内に段差がなく、配向性が良い。また、スベ

ーサを用いず、隔壁18を隔接する画素電極間に形成し

たことにより、スベークによる画素電極3の粗面や、補

助容量電極とのシヨート、上下電極間でのシヨートが防

止される。また、隔壁18自体が上下基板の圧力でつぶ

れることもなく、素子の耐衝撃性が向上する。

【0033】本実施形態では、補助容量電極2を画素電

極3の下に全面に形成しているため、パッシベージョ

ン膜4を平面化膜として厚くすることなく、2000〜4

0.0 $\mu\text{m} \times 300.0 \mu\text{m}$ として) であり、5 Vでの駆動では約30 pCの電荷を蓄積することができ、 $P_s = 50$ の液晶まで良好に駆動することが可能である(画素サイズで100 $\mu\text{m} \times 280 \mu\text{m}$ に相当)。

【0061】本発明第2の実施例として、実施形態2の液晶素子を作製した。

【0002】実施例1と同様に、オキミックコンタクト層15まで形成し、 $Ti = 1000 \text{ \AA}$ 、 $Al = 3000 \text{ \AA}$ 程度にして、ソース電極16、ドレーン電極17、情報線5を形成した。続いて、スパッタ法を用いて $TaO_x = 3000 \text{ \AA}$ 程度にパッシベーション層4を形成し、ドライエッチングによりコンタクト層4を形成した。スパッタによりITOを1500000Å程度し、エッチングして画素電極を形成した。以上の工程は実施例1と同じである。

【0063】本実施例の液晶素子は、パッシベーション膜4に TiO_2 ($t=20$, $S=100\mu\text{m}\times 300\mu\text{m}$)としてを用いているので、補助容量の絶縁膜の厚みが厚くなっても、実施例1に比較して補助容量の容量値の低減はない。

【0064】また本実施例の液晶素子のコントララストは150であった。本実施例の液晶素子は実施例1よりもさらにシヨート発生率が低減され、また、シヨートに至らないリークも低くしているで、保持時間を(1/600)×100secより長くするテストにおいても、黒のレベル変動が少なく、画素によるむらが少なかった。

【0065】実施例3 本発明第3の実施例として実施形態3の液晶素子を作製した。

【0066】補助容量電極2を形成しない以外は実施例1と同様にしてオーミックコンタクト層15まで形成し、Crを1000Å、Alを3000Å堆積してエッチングし、ソース電極16、ドレイン電極17、情報信号線18を形成した後、ITOを1000Å堆積してパターンニングし、ゲート絶縁膜12上に補助容量電極2を形成した。その後、TaO_xをスパッタにより3000Å堆積し、酸化シリコン層14を形成し、フォトリソグラフィを用いたドライエッチングによりコンタクトホールを形成した。その上に、ITOを1000Å堆積し、画面パターンニングして画面電極を形成した。実施例1と同様にして図5aを形成した上に、直径1.3μmのシリカ粒子を散布し、5重量%添加したアクリル系ポリマーを用いて乾燥し、露光、現像、隔壁形成して実施例1と同様に形成した対向基板と貼り合わせ、液晶を注入した。

【0067】スピン塗布後の隔壁の高さは $1.45\mu\text{m}$ であったが、セル組立後は $1.2\pm 0.02\mu\text{m}$ で、ギャップ均一性の高い素子であった。また、液晶注入後のコントラストは150であり、極めて高いコントラスト

【0068】本実施例の液晶素子の補助容量は18pFで、5Vでの充電時の電荷量は90pCであり、P_s=100の液晶まで駆動することができる（画素サイズで100μm×280μmに相当）。

【0069】実施例4] 本発明第4の実施例として実施形態4の液晶素子を作製した。

【0070】実施例1と同様にして、エポキシコンタクト層15まで形成した後、基板全面にITOを1000Åの厚さに堆積し、パターンニングして第2の補助寄電極2を形成した。その後、実施例1と同様にしてソース電極16、ドレイン電極17、溝部導線線をスパッタリングで形成し、Si(OH)₄溶液をスピンコートして補助寄電極2b上で厚さが約1μmとなるようにパッシベーション膜4を形成した。その後、フォトリソングを用いたドライエッチングでコンタクトホールを形成した。以降の工程は実施例1と同様にして渡品素子を作った。

【0071】得られた液晶素子はほとんど全ジョイントがな
り、優れた絶縁特性が得られた。また、コントラストも
180°と極めて高かった。これは、 $\text{Si}(\text{OH})_4$ ・希液
で形成したパッシベーション膜の平坦化能が高いため、
TFTの内部を埋め、画素電極下を占めて全体的に平坦
化させたことにより、画素電極が細長い矩形部の微細面
周囲の影響を受けなくなるため、極めて平坦な表面形状
を達成することができると考えられる。また、隔壁の存在
に加工して厚い平坦化膜によって、外からの力が球状平坦
化膜で吸収されるため、機械的なストレスも防止するこ
とができ、結果的にジョイントが防止されたものと考えら
れる。

【0072】本実施例の液晶素子の補助容量は、絶縁膜が厚さ3000ÅのSiN膜であるため、容量が約6.2pF($f_s=7$, $S=100\mu\text{m}\times 300\mu\text{m}$ として)であった。これは、5V駆動では約30pCの電荷でよかった。これは、 $P_s=50$ の液晶まで駆動することが可能である(画素サイズで $100\mu\text{m}\times 80\mu\text{m}$ は相当)。

【0073】実施例5) $\text{TiO}_2 + \text{SiO}_2$ 粒子の混
合物のペーパーストーンキ (旭炭化学社製「RF4A1
6」) をオセロプリント用紙を用いて厚さ3000Åに印
刷し、250℃のホットプレートで焼成して $\text{TiO}_2 +$
 SiO_2 粒子層からなるパッシベーション膜4を形成
し、実施例1の焼成を用いる以外は実施例2と同様にし
て本発明第5の実施例の液晶素子を作製した。

【0074】本実施例の液晶素子においては、 TiO_2 、 SiO_2 、樹脂膜からなるパッシベーション膜が、CV Dやスパッタ等の真空成膜法によるものに比べ平坦化性が高いため、でき上がりの膜の平坦性が極めて高い。よって、実施例1よりもショット発生率が低減した。また、ショットに至らないリークも低下しているため、膜

待時間を $(1/60) \times 100 \text{ sec}$ よりも長くするデ
ストでも、白、黒のレベル変動が少なく、画素によるむ
らが少なかった。

【0075】本実施例の液晶素子の補助電極の絶縁膜は、厚さ3000ÅのSiN膜と3000Åの TiO_2 + SiO₂ 複合膜の積層体であるため、その容量値は約4.7 pF ($\epsilon = 8$, $S = 100 \mu\text{m} \times 100 \mu\text{m}$, $d = 3000 \text{Å}$) として) である。これは5V駆動では、約33 pCの電荷を蓄積できるため、 $P = 10$ の液晶素子駆動するに可及である (画素サイズで $100 \mu\text{m} \times 280 \mu\text{m}$)。

【0076】【実施例6】 MoO_3 微粒子を印刷ペースト（触媒化学社製）をオフセット印刷によって厚さ3000Åに形成し、ホットプレート上で250℃で焼成し、その後、ホットプレート上で250℃で焼成を用いてページ印刷用3層膜とし、実施例1と同層数を用いる以外は、実施例3と同様に液晶素子を作製した。

【0077】得られた液晶素子のコントラストは1500で、上・下シヨットも極度少なく、実用的な液晶素子であった。また、補助電圧としては17p程度の電圧が得られたが、リーク電流が比較的大きかった。しかし、電圧が1/f60secの駆動では、全く問題のない特性が得られた。

【0078】本発明の液晶素子の補助容量には5V駆動で約85pCの電荷を蓄積することができるので、 $P_s = 100$ の液晶まで駆動することができる(画素サイズで $100\mu m \times 280\mu m$ に相当)。

【0079】本発明第7の実施例として実施形態5の液晶素子を作製した。

【0080】実施例3と同様にして、オーミックコンタクト層15を形成した後に、ソース電極16とドレイン

電極 17 及び電極指留部を形成し、ゲート絶縁膜 12 上にITOを1000Å堆積、パターンニングして補助容量電極 2a を形成し、Taoを厚さ3000Å堆積して第1のバネーション層 4a を形成し、さらにITOを1000Å堆積してゲート 4b を形成し、第2の補助容量電極 2b を形成した。その上に、Si(OH)₄溶液をスピンコートし、レジストを用いたドライエッチングによってコンタクトホールを形成し、ITOを1000Åの厚さに堆積してパターンニングし、画電極 3 を形成した。以降の工程は実施例 1 と同様にして液晶素子を得た。

【0081】得られた液晶素子の補助容量は起電容量の約1/8、さ3000ÅのTaO₂膜であるため、容量値は約18pF ($\epsilon = 20$, $S = 100\mu\text{m} \times 300\mu\text{m}$ として)で、5V駆動では約90°Cの電荷を蓄積できるため、 $P_s = 100$ の液晶まで駆動することができる(画素サイズで100 $\mu\text{m} \times 280\mu\text{m}$ に相当)。

【0082】本実施例においても、得られた液晶素子は、良好な配向性を示すと同時に、上下ジョート、ギャップ不良のない、極めて非留の高い液晶素子であった。ま

た、コントラストは160と良好であった。

【0083】本実施例の液晶素子を、高温高湿の連続通電テストに投入したが、腐食、しきい値シフトなどによる画像劣化もなく、耐久後も高品質な画像を維持できた。

【0084】上記実施例1～7の各液晶素子の補助容量とコントラストを図7に示す。各実施例とも6素子ずつで作製した。上記した各実施例の説明におけるコントラストの値は当該結果の平均値である。尚、ここで示す従来例とは、補助容量を形成しない以外は実施例1と同様にして作製した液晶素子である。

【0085】
【発明の効果】以上説明したように、本発明によれば、
視素電極内に補助容量による段差がなく配向性が向上
し、コントラストの高い表示が実現する。

【0086】本発明においてはさらに、隔壁を用いてセルギルキャップを絶縁することによって、スベークナによる画素電圧の相電圧や漏れによる上下基板のショートを防止し、さらに配向性を向上させることができる。また、本発明においては、平坦化膜を用いて画素電圧下の凹部を平坦化する。これにより、より配向性を向上すると同時に、酸媒平坦化膜によって外力を吸収し、上下基板でのショートを防止することができる。その結果、よりコンタクトストランドが高く、高品質状態で衝撃耐久に強い液晶素子を歩留良よく製造することが可能となる。

【図面の簡単な説明】
【図１】本発明第１の実施形態の液晶素子の構成を模式的に示す断面図である。

【図 2】本発明第 1 の実施形態の液晶素子の電気的な等価回路を示す図である。

【図3】本発明第2の実施形態の液晶素子の構成を模式的に示す断面図である。

【図4】本発明第3の実施形態の液晶素子の構成を模式的に示す断面図である。

【図5】本発明第4の実施形態の液晶素子の構成を模式的に示す断面図である。

【図6】本発明第5の実施形態の液晶素子の構成を模式的に示す断面図である。

【図7】本発明の実施例の液晶素子の補助容量とコント

【図8】従来の液晶素子の一例の構成を模式的に示す断面図である。

【符号の説明】

2. 2 a, 2 b 補助容量電極

4, 4 a, 4 b パジペーション膜

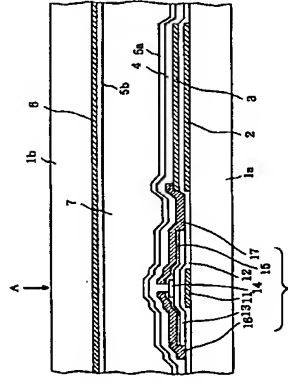
7 液晶

15

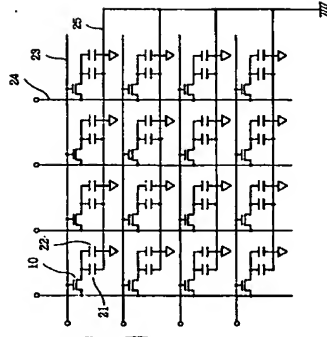
- 11 ゲート電極
- 12 ゲート絶縁膜
- 13 i型半導体層
- 14 プロッキング層
- 15 オーマミックコンタクト層
- 16 ソース電極
- 17 ドレイン電極

- 18 隔壁
- 21 補助容量
- 22 液晶容量
- 23 走査信号線
- 24 情報信号線
- 101 TN液晶
- 102 スペーサ

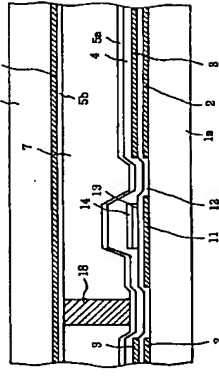
【図1】



【図2】

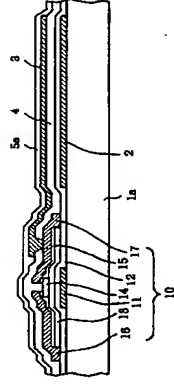


(a)

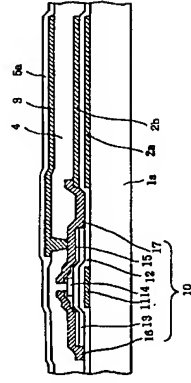


(b)

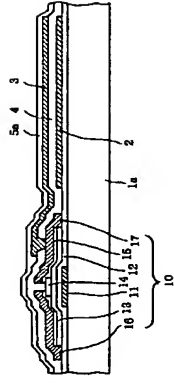
【図3】



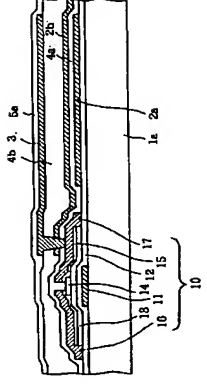
【図5】



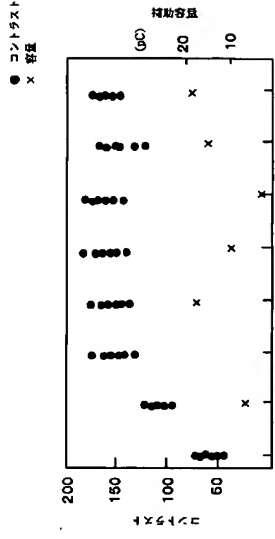
【図4】



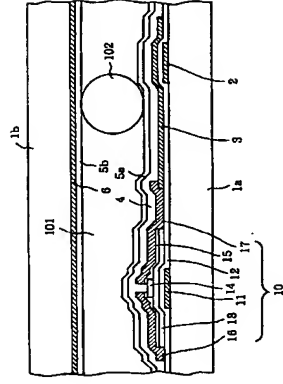
【図6】



【図7】



【図8】



フロントページの続き

Fターム(参考) 2H092 JA26 JA29 JA33 JA35 JA36
JA38 JA42 JA44 JA46 JB13
JB23 JB32 JB33 JB51 JB57
JB63 JB69 KA05 KA12 KA16
KA18 KB23 MA05 MA08 MA14
MA15 MA16 MA18 MA19 MA20
MA22 MA27 MA35 MA37 MA41
NA16 MA25 PA02 PA06 OA13
OA14